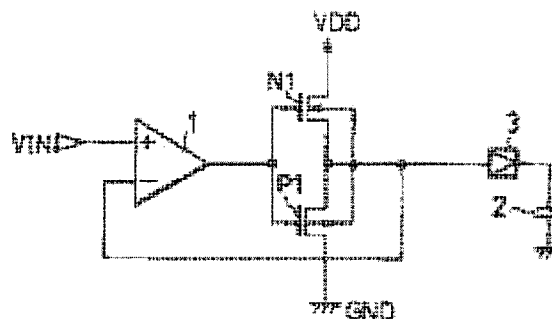


No English title available

Patent number: JP5243937 (A)
Publication date: 1993-09-21
Inventor(s): ORISAKA YUKIHISA; TANAKA ATSUSHI +
Applicant(s): SHARP KK +
Classification:
- international: *H03K17/04; H03K17/687; H03K19/0175; H03K17/04; H03K17/687; H03K19/0175;*
(IPC1-7): H03K17/04; H03K17/687; H03K19/0175
- european:
Application number: JP19920041107 19920227
Priority number(s): JP19920041107 19920227

Abstract of JP 5243937 (A)

PURPOSE:To improve the working speed of a signal output circuit consisting of a differential amplifier and a buffer. **CONSTITUTION:**In the case that input voltage VIN is higher than the input voltage of the last time, that is, in the case that the gate voltage of a transistor N1 is higher than the threshold voltage of the transistor N1, the transistor N1 is turned into an ON-state, and capacitive load 2 is charged, and the voltage of an output terminal 3 is raised to the voltage corresponding to the input voltage VIN. On the other hand, in the case that the input voltage VIN is lower than the input voltage of the last time, that is, in the case that the gate voltage of the transistor P1 is lower than the threshold voltage of the transistor P1, the transistor P1 is turned into the ON-state, and the capacitive load 2 is discharged, and the voltage of the output terminal 3 is lowered to the voltage corresponding to the input voltage VIN. In this signal output circuit, the buffer executes push-pull operation, and since it functions as the buffer of tow impedance not only in the case that a current is outputted but also in the case that the current flows in, a discharge transistor need not be provided so as to discharge the capacitive load like in the past.



Data supplied from the **espacenet** database — Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-243937

(43)公開日 平成5年(1993)9月21日

| | | | | |
|--------------------------|------|----------|-----------------|---------------|
| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 3 K 17/04 | F | 9184-5 J | | |
| 17/687 | | | | |
| 19/0175 | | | | |
| | | 8221-5 J | H 0 3 K 17/ 687 | F |
| | | 8941-5 J | 19/ 00 | 1 0 1 F |
| | | | 審査請求 未請求 | 請求項の数1(全 3 頁) |

(21)出願番号 特願平4-41107

(22)出願日 平成4年(1992)2月27日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 折坂 幸久

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 田中 淳志

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

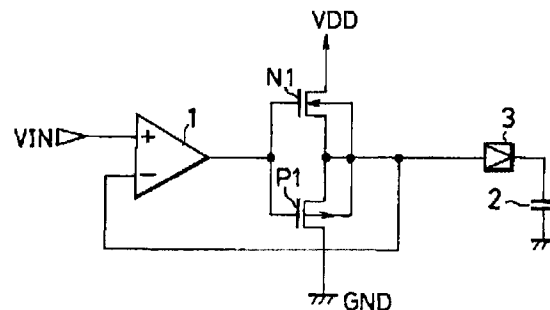
(74)代理人 弁理士 川口 義雄 (外1名)

(54)【発明の名称】 信号出力回路

(57)【要約】

【目的】 差動増幅器とバッファとから構成される信号出力回路の動作速度を向上させる。

【構成】 入力電圧V I Nが前回の入力電圧より高い場合、即ち、トランジスタN1のゲート電圧がトランジスタN1のしきい値電圧より高い場合、トランジスタN1がオン状態となって容量性負荷2が充電され、出力端子3の電圧は入力電圧V I Nに対応する電圧まで上昇する。一方、入力電圧V I Nが前回の入力電圧より低い場合、即ち、トランジスタP1のゲート電圧がトランジスタP1のしきい値電圧より低い場合、トランジスタP1がオン状態となって容量性負荷2が放電され、出力端子3の電圧は入力電圧V I Nに対応する電圧まで低下する。この信号出力回路では、バッファはプッシュプル動作を行い、電流を出力する場合だけでなく電流が流入する場合にも低インピーダンスのバッファとして機能するので、従来のように放電トランジスタを設けて容量性負荷を放電させる必要がない。



【特許請求の範囲】

【請求項１】 反転入力端子及び入力信号が供給される非反転入力端子を有する差動増幅器と、ドレインが電源に接続されゲートが前記差動増幅器の出力に接続されソースが出力端子に接続されたＮチャネルトランジスタ及びドレインがグラウンドに接続されゲートが前記差動増幅器の前記出力に接続されソースが前記出力端子に接続されたＰチャネルトランジスタからなるバッファとを備えており、前記両トランジスタのバックゲートが前記出力端子に接続され該出力端子が前記差動増幅器の前記反転入力端子に接続されていることを特徴とする信号出力回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、差動増幅器とバッファとから構成される信号出力回路に関するものである。

【０００２】

【従来の技術】差動増幅器とバッファとから構成される従来の信号出力回路の一例を図２に示す。同図において、１は差動増幅器、Ｎ１はゲートが差動増幅器１の出力に接続されたソースフォロアのＮチャネルトランジスタ、Ｎ２はゲートにバイアス電圧Ｖ_bが供給されるＮチャネルトランジスタである。トランジスタＮ２のゲートに一定のバイアス電圧Ｖ_bを供給することにより、入力電圧Ｖ_IＮに対応した電圧が容量性の負荷２に供給され、負荷２が充電される。このような信号出力回路では、消費電流を小さくするためにバイアス電圧Ｖ_bは低い値に設定されており、トランジスタＮ２の抵抗は大きい。

【０００３】従って、入力電圧の変化に対応するために、負荷２を放電するためのＮチャネルトランジスタＮ３を設け、次の入力電圧が差動増幅器１に供給される前に負荷２の電荷が放電されるようにトランジスタＮ３のゲートに供給されるディスチャージ信号ＤＩＳを電源電圧Ｖ_{DD}レベルにしてトランジスタＮ３を周期的にオンにするようにしている。

【０００４】

【発明が解決しようとする課題】しかしながら、上記の従来の信号出力回路では、負荷２を周期的に放電するための放電期間が必要であり、高速動作を行わせる場合に不利である。また、放電の際、次の入力電圧のレベルの如何にかかわらず負荷２は必ずグラウンドレベルにまで放電されてしまうため、負荷２は必ずグラウンドレベルから充電されることになり、その結果、次の入力電圧に対応する出力電圧を得るまでに時間がかかる。

【０００５】本発明の目的は、このような問題を解決し、高速動作が可能な信号出力回路を提供することにある。

【０００６】

【課題を解決するための手段】本発明の信号出力回路は

前記目的を達成するために、入力端子及び入力信号が供給される非反転入力端子を有する差動増幅器と、ドレインが電源に接続されゲートが前記差動増幅器の出力に接続されソースが出力端子に接続されたＮチャネルトランジスタ及びドレインがグラウンドに接続されゲートが前記差動増幅器の前記出力に接続されソースが前記出力端子に接続されたＰチャネルトランジスタからなるバッファとを備えており、前記両トランジスタのバックゲートが前記出力端子に接続され該出力端子が前記差動増幅器の前記反転入力端子に接続されていることを特徴とする。

【０００７】

【作用】入力信号電圧が前回の入力信号電圧より高い場合、即ち、Ｎチャネルトランジスタのゲート電圧が該トランジスタのしきい値電圧より高い場合、Ｎチャネルトランジスタがオン状態となって出力端子に接続されている容量性負荷が充電され、出力端子の電圧は入力信号電圧に対応する電圧まで上昇する。一方、入力信号電圧が前回の入力信号電圧より低い場合、即ち、Ｐチャネルトランジスタのゲート電圧が該トランジスタのしきい値電圧より低い場合、Ｐチャネルトランジスタがオン状態となって容量性負荷が放電され、出力端子の電圧は入力信号電圧に対応する電圧まで低下する。

【０００８】

【実施例】次に本発明の実施例について図面を参照して詳細に説明する。図１に本発明による信号出力回路の回路図を示す。この回路は差動増幅器１と、ＮチャネルトランジスタＮ１及びＰチャネルトランジスタＰ１からなるバッファとにより構成されている。トランジスタＮ１のドレインは電源Ｖ_{DD}に、トランジスタＰ１のドレインはグラウンドにそれぞれ接続され、トランジスタＮ１、Ｐ１のゲートは差動増幅器１の出力に接続されている。また、トランジスタＮ１、Ｐ１のソースおよびバックゲートは共に出力端子３に接続され、差動増幅器１の反転入力端子は出力端子３に接続されている。

【０００９】次に上記信号出力回路の動作を説明する。入力電圧Ｖ_IＮが前回の入力電圧より高い場合、即ち、トランジスタＮ１のゲート電圧がトランジスタＮ１のしきい値電圧より高い場合、トランジスタＮ１がオン状態となって容量性負荷２が充電され、出力端子３の電圧は入力電圧Ｖ_IＮに対応する電圧まで上昇する。一方、入力電圧Ｖ_IＮが前回の入力電圧より低い場合、即ち、トランジスタＰ１のゲート電圧がトランジスタＰ１のしきい値電圧より低い場合、トランジスタＰ１がオン状態となって容量性負荷２が放電され、出力端子３の電圧は入力電圧Ｖ_IＮに対応する電圧まで低下する。

【００１０】なお、ＮチャネルトランジスタＮ１およびＰチャネルトランジスタＰ１のバックゲートを、ツインタブプロセスにより互いに独立させ、両トランジスタのドレインに接続してプッシュプル構成としているので、入力電圧の変動によるバックゲート効果の影響を受けず

しきい値電圧の変動がない。

【0011】

【発明の効果】本発明の信号出力回路では、バッファは双方向動作を行い、電流を出力する場合だけでなく電流が流入する場合にも低インピーダンスのバッファとして機能するので、従来のように放電トランジスタを設けて容量性負荷を周期的に放電させる必要がない。従って、放電期間を設ける必要がなく、また、容量性負荷は入力電圧の変化に対応して充放電されるので、容量性負荷の充電に要する時間は短くてすみ、高速動作が可能となる。また、放電トランジスタが不要となるので、集積回

路として信号出力回路をチップ上に構成する場合、その占有面積が小さくなる他、低消費電力化が可能となる

【図面の簡単な説明】

【図1】本発明による信号出力回路の回路図である。

【図2】従来の信号出力回路の回路図である。

【符号の説明】

1 差動増幅器

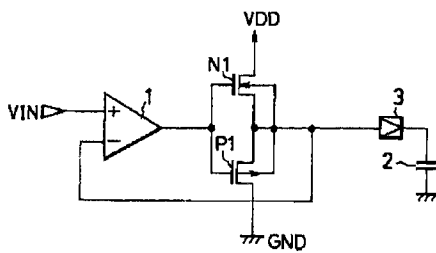
2 容量性負荷

3 出力端子

N1～N3 Nチャネルトランジスタ

P1 Pチャネルトランジスタ

【図1】



【図2】

